

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-005068

(43)Date of publication of application : 10.01.1989

(51)Int.Cl.

H01L 29/78  
H01L 21/265

(21)Application number : 62-160028

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 26.06.1987

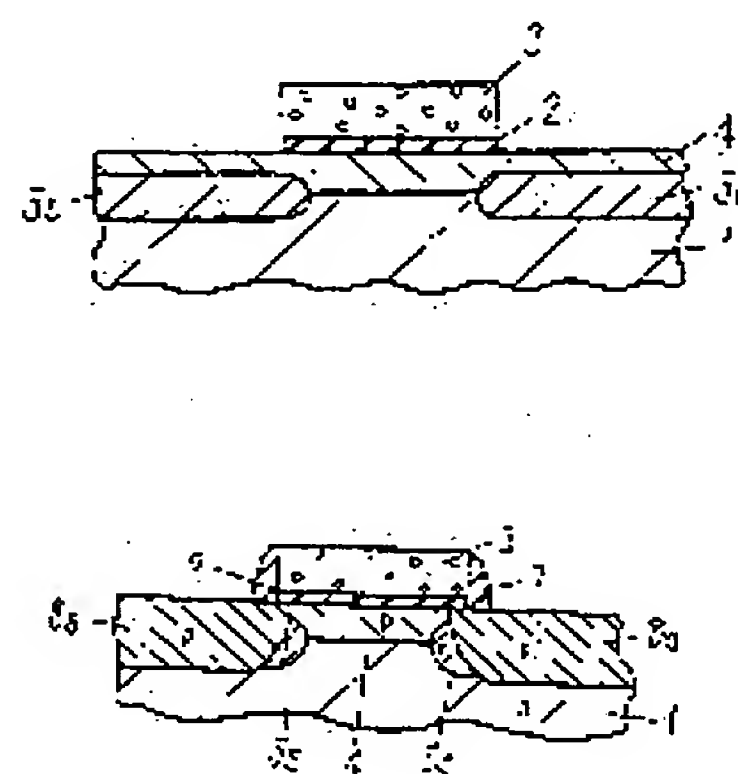
(72)Inventor : YABU TOSHIKI  
KURIMOTO KAZUMI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To realize the fine structure of a device while the electric characteristics in a subthreshold region is maintained by a method wherein ions are implanted while a substrate is inclined and turned to form high concentration impurity layers reaching the parts of the regions under a channel region.

CONSTITUTION: After a p-type impurity diffused layer 4 which is to be a buried channel is formed in the transistor forming region of a semiconductor substrate in which an n-type well 1 is formed, a gate insulating film 2 and a gate electrode 3 made of polycrystalline Si are formed. Then, n-type impurity diffused layers 5s and 5d are formed by using the gate 3 electrode 3 as a mask. At that time, the substrate is inclined and ion implantation and substrate turning are performed alternately. After an n-type EPS region is formed, insulating film side walls 7 are formed and then, while the substrate is inclined, ion implantation and substrate turning are performed alternately to form impurity diffused layers 8s and 8d. After that, a heat treatment is carried out to complete an EPS structure MOS field effect transistor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A)

昭64-5068

⑮ Int. Cl.<sup>4</sup>H 01 L 29/78  
21/265

識別記号

3 0 1

庁内整理番号

Z-8422-5F  
V-7738-5F

⑬ 公開 昭和64年(1989)1月10日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭62-160028

⑰ 出 願 昭62(1987)6月26日

特許法第30条第1項適用 昭和62年3月28日 社団法人応用物理学会発行の「1987年(昭和62年)春季第34回応用物理学関係連合講演会予稿集」において発表

|         |            |                  |             |
|---------|------------|------------------|-------------|
| ⑱ 発 明 者 | 藪 俊 樹      | 大阪府門真市大字門真1006番地 | 松下電器産業株式会社内 |
| ⑲ 発 明 者 | 栗 本 一 実    | 大阪府門真市大字門真1006番地 | 松下電器産業株式会社内 |
| ⑳ 出 願 人 | 松下電器産業株式会社 | 大阪府門真市大字門真1006番地 |             |
| ㉑ 代 理 人 | 弁理士 中尾 敏男  | 外1名              |             |

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

第1の導電型の半導体基板に選択的に形成されたMOS形トランジスタ領域となる部分に第2の導電型のチャネル領域を形成する工程と、前記チャネル領域の基板表面に形成されたゲート絶縁膜及びゲート電極をマスクとして、前記半導体基板表面を傾けてイオン注入を行ない第1の導電型の高濃度不純物層を前記チャネル領域の下部の一部を含むごとく形成する工程と、ゲート電極側面を覆う如く絶縁膜を形成する工程と、前記側面を絶縁膜で覆われたゲート電極をマスクとして第2の導電型のソース及びドレインを形成する工程により形成される半導体装置の前記ゲート電極をマスクとしてイオン注入を行なう工程において、前記半導体基板表面とイオンビームに垂直な面との角度を傾け、前記半導体基板をビームスキャン面に対して平面自回転させるか、または前記半導体基

板表面とイオンビームに垂直な面との角度を傾け全部でn回のイオン注入における1回ごとの前記半導体基板の回転角度を約360度/nの整数倍としてなる半導体装置の製造方法。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、埋込みチャネルMOS形トランジスタをサブミクロン域にまで微細化をすすめる際に劣化するサブスレッショルド域電気特性を改善できる半導体装置の製造方法に関し、特にそのゲート電極をマスクとしてイオン注入を行なう工程に関するものである。

## 従来の技術

従来、n<sup>+</sup>-ポリSiゲートを用いたp-チャネルトランジスタではソース、ドレインと同じ導電型の埋込みチャネル構造を使用している。これは、表面チャネル構造に対して、ドレイン近傍の電界強度が低く、ホットエレクトロン効果に対して強く、移動度の劣化も少ない高速のトランジスタが得られる。このことは、仕事関数をコントロール

することにより $n$ -チャネルトランジスタに対しても同様の効果が期待できる。

しかし、埋込みチャネルトランジスタはデバイスの微細化に伴ない、ドレイン電圧の $SiO_2-Si$ 界面のポテンシャルへの影響が大きく、サブスレシヨルド域のリーク電流の増大、スレシヨルド電圧のドレイン電圧依存性を強くする。そこで、これに対処するように、例えば特公昭61-160975号公報に開示のように、第4図のような構造(EPS: Effective Punchthrough Stop)になっていた。すなわち、図において、8a, 8bはソース、ドレイン領域、3はゲート電極、2はゲート酸化膜、7は側壁酸化膜、4は $p$ 型( $n$ 型)埋込みチャネル領域、5s, 5dは $n^+$ 層( $p^+$ 層)、1は $n$ ウェル( $p$ 型基板)である。この構造により、サブスレシヨルド電流係数を低く抑えけるとともに、ドレイン電圧によるポテンシャルの伸びを抑制して、ドレイン電圧による $V_T$ 変動も小さく抑えることが可能となっていた。このトランジスタの製造方法におけるイオン注入法においては、

って、5sをソースとして動作(Forward動作)させると、ドレイン電圧の増大に伴ない、しきい値電圧が低くなり、チャネルは反転しやすくなる(第2図の曲線For.)。逆に、75dをソースとして動作(Reverse動作)させると、ドレイン電圧を増大しても、しきい値電圧は高いまま維持される(第2図の曲線Rev.)。従って、デバイスの電気特性も非対称性を示す。

そこで本発明は電界効果トランジスタにおいてゲート電極をマスクとして不純物拡散層をイオン注入法により形成する方法において、ゲート電極に対して対称に不純物拡散層を形成することができ、したがって、デバイスの電気特性においても対称性を得ることができる製造方法を提供することを目的とする。

問題点を解決するための手段

本発明の半導体装置の製造方法は、第1の導電型の半導体基板に選択的に形成された $MOS$ 形トランジスタ領域となる部分に第2の導電型のチャネル領域を形成する工程と、前記チャネル領域の

一般に良く行なわれている方法に従い、半導体基板表面をイオンビーム入射方向に対して $\theta$ 度、通常は約7度傾けて注入を行なっていた。これは、不純物イオンの半導体基板内への突抜け現象いわゆるチャネリング効果を防止するためである。

発明が解決しようとする問題点

しかし、このイオン注入法ではゲート電極の陰となる部分ができるため、例えば、第3図において、33aのように設置されたゲート電極に対して、30aの方向から注入を行なうと、線A-A'における断面形状は第5図に示すように、不純物拡散領域がゲート電極に対して非対称に形成されてしまうという問題点を有している。すなわちイオン注入の際非対称形状に形成されると、例えばゲート電極3の陰となる側に形成される $n$ 形EPS領域5sはソース/ドレイン領域8s側にずれるため、 $n$ 形EPS領域5sの効果は弱まる。逆に、ゲート電極3の陰にならない側に形成される $n$ 形EPS領域5dはチャネル領域2側にずれるため、 $n$ 形EPS領域5dの効果が強まる。従

基板表面に形成されたゲート絶縁膜及びゲート電極をマスクとして、前記半導体基板表面を傾けてイオン注入を行ない第1の導電型の高濃度不純物層を、前記チャネル領域の下部の一部を含むごとく形成する工程と、ゲート電極側面を覆う如く絶縁膜を形成する工程と、前記側面を絶縁膜で覆われたゲート電極をマスクとして第2の導電型のソース及びドレインを形成する工程により形成される半導体装置の前記ゲート電極をマスクとしてイオン注入を行ない工程において、前記半導体基板表面とイオンビームに垂直な面との角度を傾け、前記半導体基板をビームスキャン面に対して平面自回転させるか、または前記半導体基板表面とイオンビームに垂直な面との角度を傾け全部で $n$ 回のイオン注入における1回ごとの前記半導体基板の回転角度を約 $360^\circ/n$ の整数倍としたことを特徴とするものである。

作用

この技術的手段による作用は次のようになる。すなわち、ソース、ドレインよりもチャネル側に

かつソース、ドレインによらずゲート電極に対して対称形状に導電型の異なる高濃度不純物層を形成することができるものである。

#### 実施例

以下に本発明の一実施例のpチャネル形E P S構造M O S型電界効果トランジスタの製造方法を第1図(a)~(g)を用いて簡単に説明する。

nウェル1を形成した半導体基板のトランジスタ形成領域に埋込みチャネルとなるp形不純物拡散層4を形成した後、ゲート絶縁膜2及びポリSi3からなるゲート電極を形成する(第1図(a))。

次にE P S領域を形成するために前記ゲート電極をマスクとしてイオン注入を行ないn形不純物拡散層5s及び5dを形成する(第1図(b), (c))。ここで本発明の特徴とするイオン注入法として4回回転イオン注入を用いた(第1図(b))。半導体基板をイオンビーム入射方向に対して7度傾けて、イオン注入ドーズ量を全体のドーズ量の4分の1として半導体基板の1回毎の回転角度を90度とするものである。すなわち、第3図に示す様に、

得ることができる(第2図の曲線Rot.)。

また第1図(b)と(c)の工程において、4回回転イオン注入法を用いたが、1回毎のイオン注入量を全体の1/2として回転角度を180度とした2回回転イオン注入を用いても良い。すなわち、第3図に示す様に、30a及び30cの方向または30b及び30dの方向からイオン注入を行なう。このとき、少なくとも非対称形状については改善できる。さらに、同様に、半導体基板を連続回転させながらイオン注入を行なうことも可能である。

ここで、第1図(a)~(g)のデバイス形成に用いたプロセス及びデバイスパラメータは以下の通りである。しきい値電圧制御用不純物ドーピングは、 $\text{BF}_3^+$ で60 KeV,  $2.2 \times 10^{12} \text{ dose/cm}^2$ , E P S領域用不純物ドーピングは、リンで130 KeV,  $2.4 \times 10^{12} \text{ dose/cm}^2$ , ソース及びドレイン領域用不純物ドーピングは、 $\text{BF}_3^+$ で40 KeV,  $4.0 \times 10^{15} \text{ dose/cm}^2$ である。ゲート酸化膜厚は10nm, ゲート電極高さは450nm, ゲート電極長さは0.8 $\mu\text{m}$ , チャネル幅は10 $\mu\text{m}$ , 絶縁膜側壁幅は

30a, 30b, 30c, 30dの4方向からイオン注入を行なう。不純物としてリンを用い、注入エネルギーは130 KeV, ドーズ量は全体で $2.4 \times 10^{12} \text{ dose/cm}^2$ とした。1回毎の注入ドーズ量は $6 \times 10^{11} \text{ dose/cm}^2$ である。

n形E P S領域形成後(第1図(c))、絶縁膜側壁7を形成する(第1図(d)及び(e))。次にソース及びドレイン領域( $\text{p}^+$ 層)を形成するために、n形E P S領域の形成と同様に4回回転イオン注入を用いて不純物拡散層8s及び8dを形成する(第1図(f)及び(g))。ここで不純物として $\text{BF}_3^+$ を用い、注入エネルギーは40 KeV, 注入ドーズ量は全体で $4.0 \times 10^{15} \text{ dose/cm}^2$ とした。1回毎の注入ドーズ量は $1.0 \times 10^{15} \text{ dose/cm}^2$ である。最後に熱処理を行ない第1図(g)に示すようなE P S構造M O S型電界効果トランジスタを得る。以上のようにより本実施例によれば、n形E P S領域をゲート電極に対して対称形状に形成でき、n形E P S領域の効果も維持できることにより、トランジスタ特性もソース、ドレインの向きによらず対称性を

0.14 $\mu\text{m}$ で、ゲート電極形成後の全熱処理工程は900°Cで30minである。

なお本実施例はpチャネルM O Sトランジスタに関するものであるが、本発明の方法はnチャネルM O Sトランジスタにも適用できることは言うまでもない。

また、半導体基板をイオンビーム入射方向に対して傾ける角度は、本実施例において7度としたが、これに限るものではない。

以上説明してきたように、本発明のイオン注入方法を用いれば、ゲート電極に対して不純物拡散層を対称形状に形成することができ、従って半導体集積回路における各トランジスタの電気特性も揃えることができ、その実用的効果は極めて大きい。

#### 発明の効果

以上説明したように、本発明は半導体装置、特に埋め込みチャネルM O S形トランジスタの製造方法に関するもので、チャネル領域の下部の一部でかつソース、ドレイン領域側部に導電型の異なる



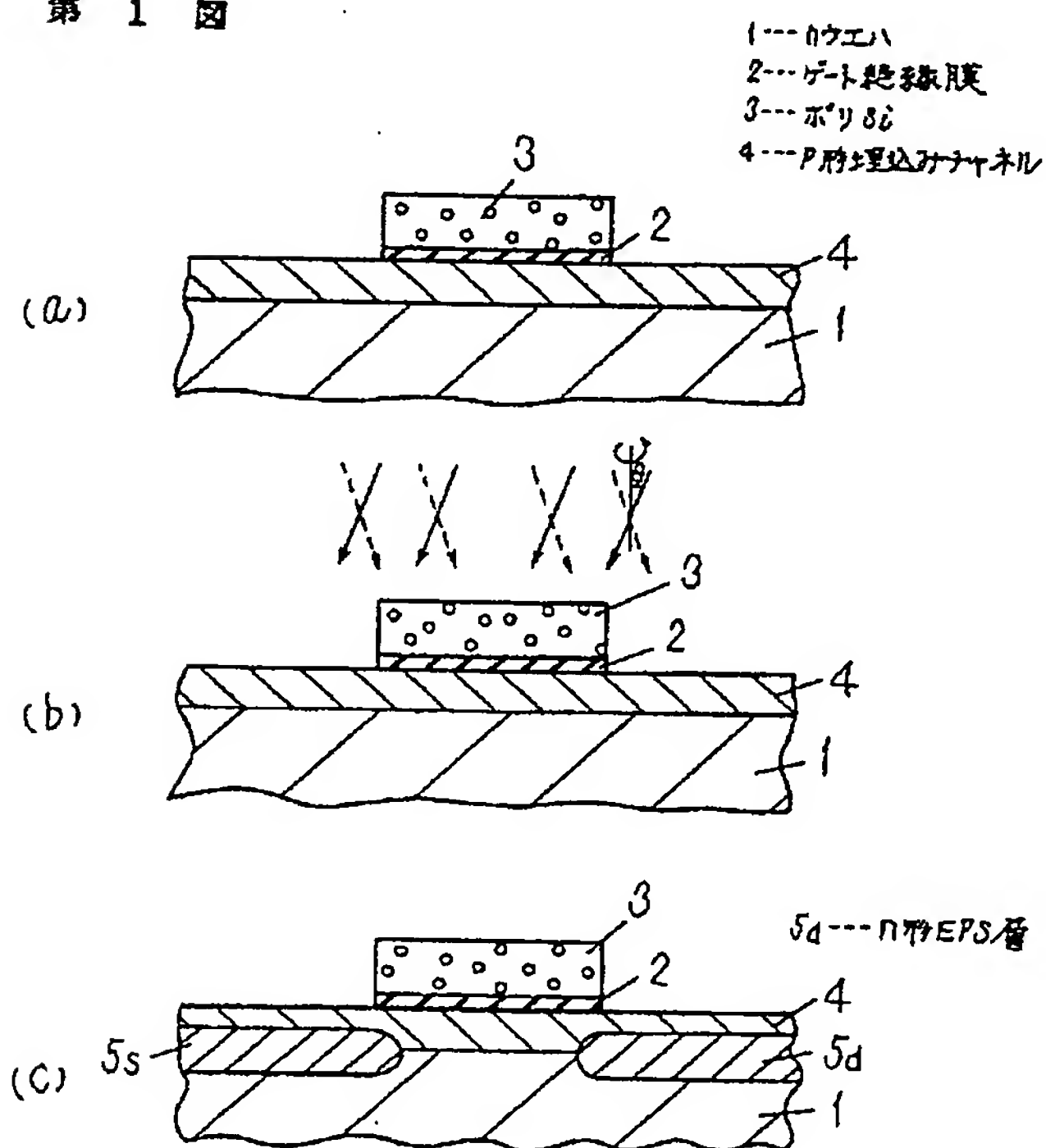
る高濃度不純物層を形成する工程において、半導体基板を傾けて、かつ前記半導体基板を回転させながらイオン注入を行うことにより、本構造を有するMOS形トランジスタの特徴であるところのサブスレシヨルド域電気特性を維持しつつ、デバイスの微細化が可能となり、かつソース、ドレインの向きによらず対称な電気特性を得ることができ、半導体集積回路において極めて有用である。

#### 4、図面の簡単な説明

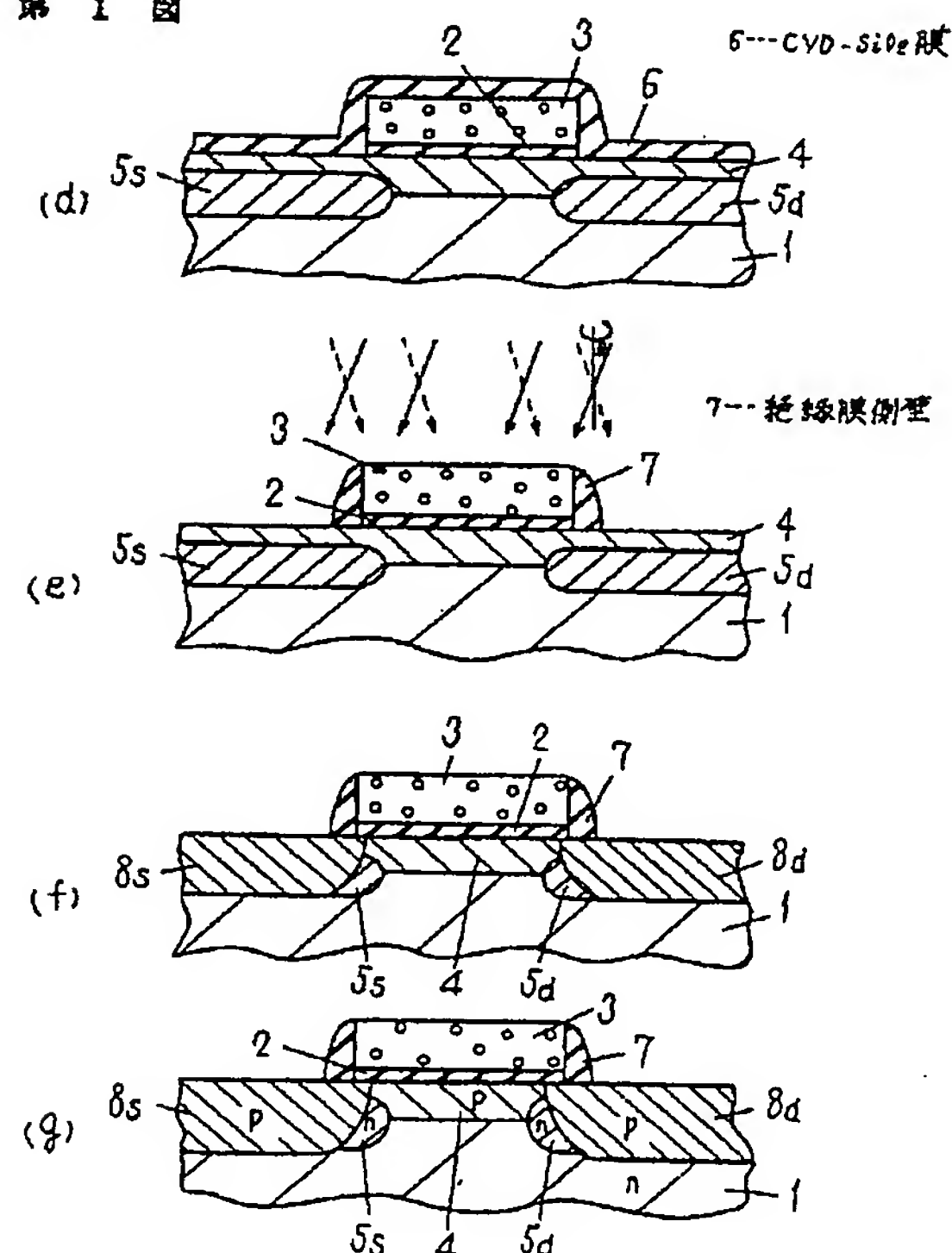
第1図(a)~(g)は本発明の一実施例における埋込みチャネル形のMOS形トランジスタの製造方法の一部を説明する断面図、第2図は本実施例によるトランジスタのサブスレシヨルド特性を従来のものと比較して示す図、第3図は4回回転注入法を示す平面図、第4図は従来の埋込みチャネル形のMOS形トランジスタの断面図、第5図は同従来のMOS形トランジスタにおいて不純物拡散層がゲート電極に対して非対称に形成されることを説明する断面図である。

1……nウェル、4……pチャネル領域、3…

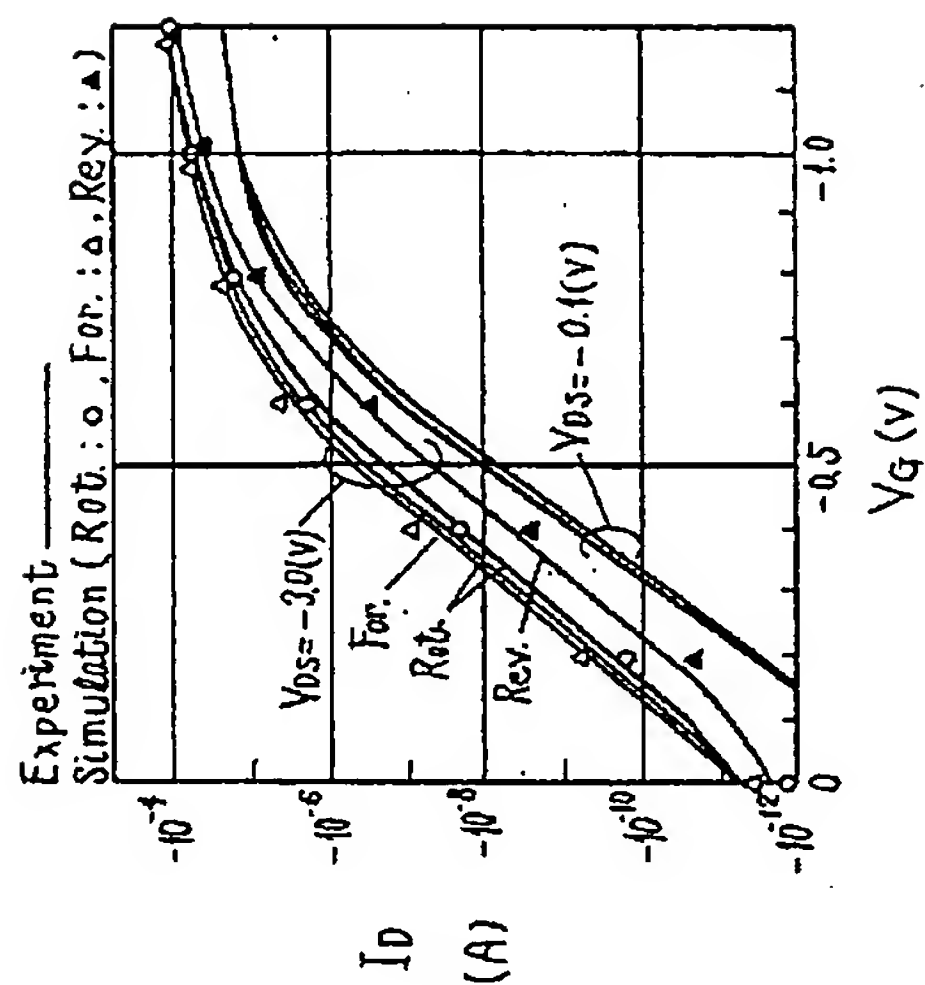
第1図



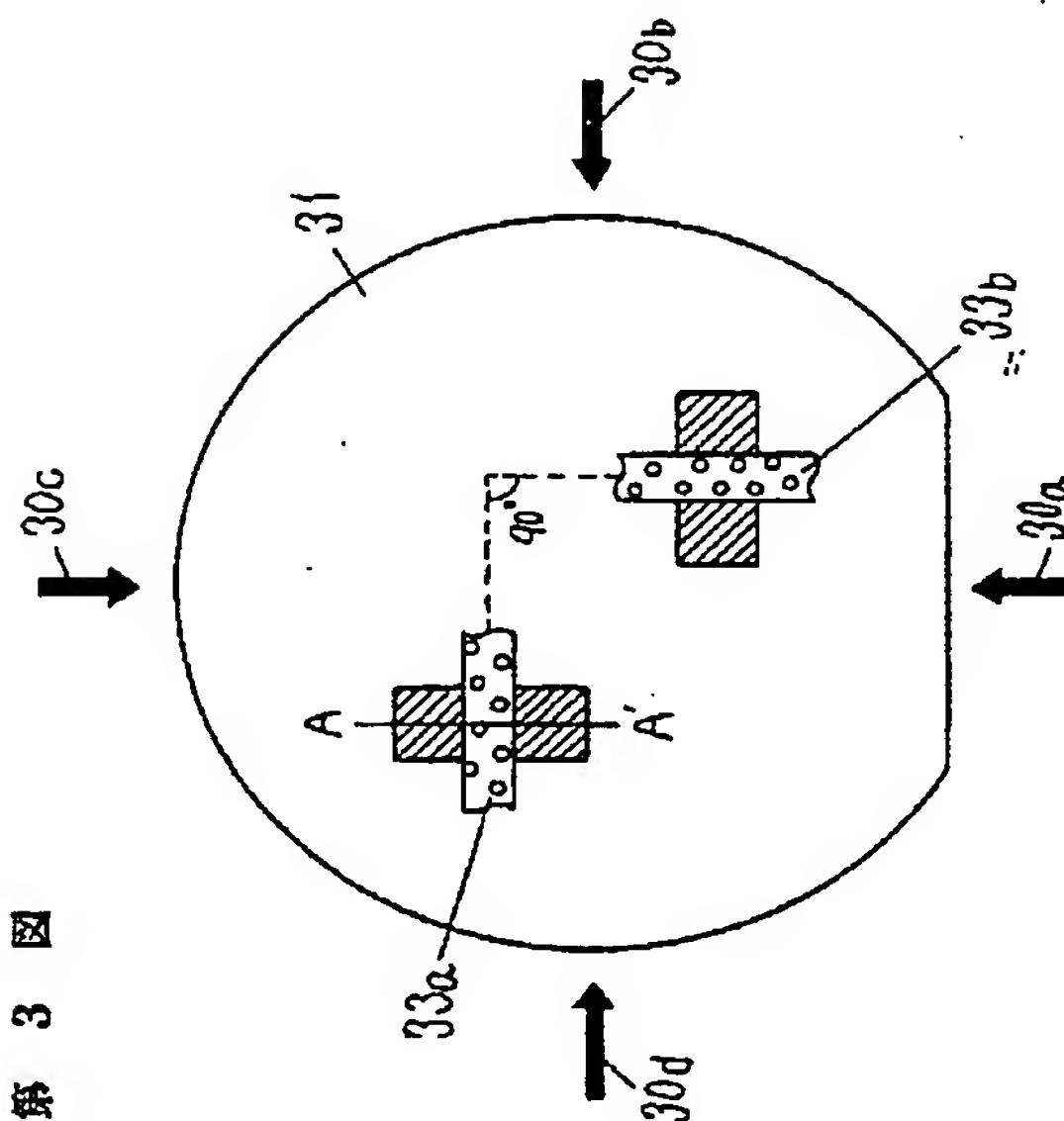
第1図



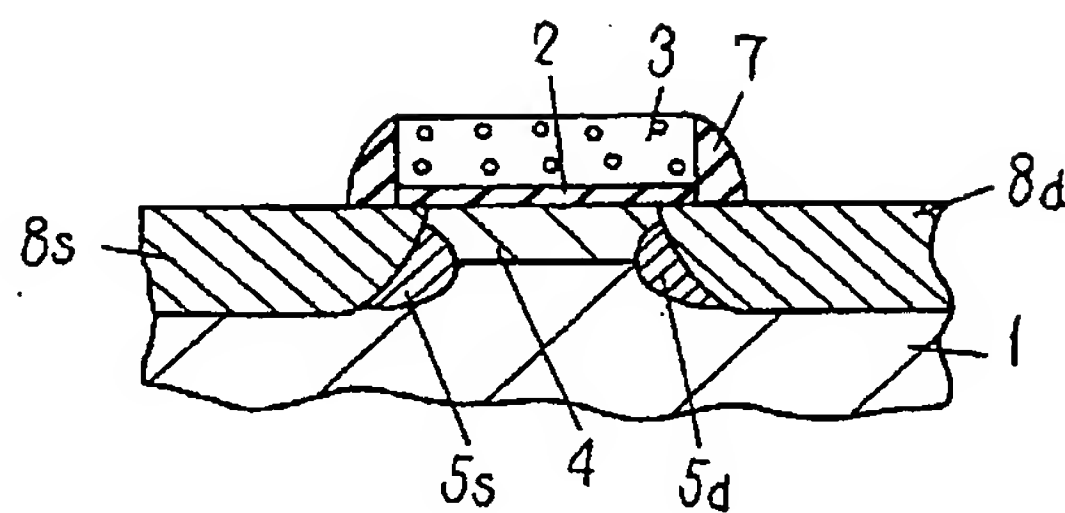
第 2 図



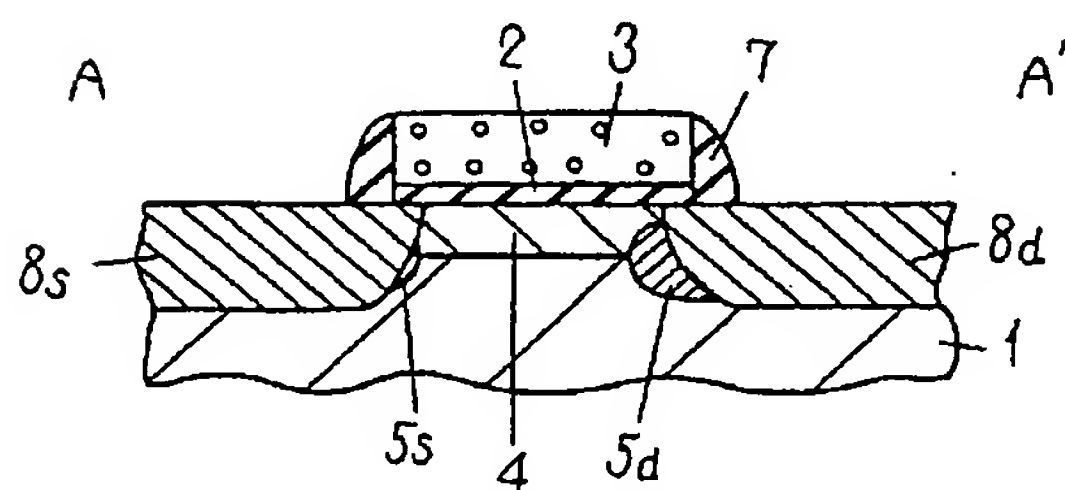
第 3 図



第 4 図



第 5 図



**THIS PAGE BLANK (USPTO)**